

M3.L2 : Série d'exercices sur la hiérarchisation de la mémoire

Remarque : en l'absence de précision, la taille d'un mot est 4 octets

1. Performances CERN

L'accélérateur de particules LHC du CERN génère 1 Po/s, soit l'équivalent de plus de 13 ans de vidéo en HD ! Il n'y a simplement aucune technologie au monde qui puisse enregistrer toutes ces données en temps réel. Même en mettant beaucoup de disques en parallèle on n'arriverait pas à construire une connexion assez rapide pour y enregistrer toutes ces données en temps réel sans en perdre. Une batterie de circuits logiques hardware analysent ces données en temps réel et les filtrent par un facteur de l'ordre de 1000 avant de les injecter directement dans les mémoires centrales d'une batterie de processeurs spécialisés qui les réduisent encore par un facteur de l'ordre de 1000.

En arrondissant aux ordres de grandeur :

- 1.1. Quelle est le débit de données à stocker résultant ?
- 1.2. Combien de disques à 100Mo/s en parallèle sont nécessaires pour un tel débit ?
- 1.3. Combien d'heures faut-il pour remplir ces disques de 10To chacun ?
- 1.4. Quel volume de données cela représente-t-il en 1 an ?

(Pour vérification de l'ordre de grandeur, des articles du CERN donnent un chiffre sur la toile.)

2. Mémoires Hiérarchiques

Le produit matriciel de deux matrices 2x2

$$A = \begin{Bmatrix} a_{11} & a_{12} \\ a_{21} & a_{22} \end{Bmatrix} \text{ et } B = \begin{Bmatrix} b_{11} & b_{12} \\ b_{21} & b_{22} \end{Bmatrix}$$

est défini comme une matrice 2x2

$$P = \begin{Bmatrix} p_{11} & p_{12} \\ p_{21} & p_{22} \end{Bmatrix} \quad \text{où} \quad \begin{aligned} p_{11} &= (a_{11}b_{11} + a_{12}b_{21}) & p_{12} &= (a_{11}b_{12} + a_{12}b_{22}) \\ p_{21} &= (a_{21}b_{11} + a_{22}b_{21}) & p_{22} &= (a_{21}b_{12} + a_{22}b_{22}) \end{aligned} \quad \text{et}$$

Supposons que le processeur dispose d'assez de registres pour contenir tous les résultats intermédiaires. Supposons aussi que chaque élément matriciel occupe un bloc de 4 octets, que la mémoire cache puisse contenir un maximum de six blocs de 4 octets, et qu'elle est gérée par l'algorithme en tuyau FIFO (First-In-First-Out). Avec FIFO, quand la cache est pleine et qu'il faut y remplacer un bloc, on enlève non pas le bloc le moins récemment utilisé (comme le ferait le classique algorithme LRU vu au cours) mais le bloc le moins récemment importé dans la mémoire cache (qu'il ait été utilisé récemment ou pas). La mémoire cache se comporte donc un tuyau qu'on remplit par un bout et qui se vide par l'autre. Lorsqu'un programme calcule un élément de P, il charge les éléments de A et B de gauche à droite selon les équations ci-dessus. Par exemple, pour p_{11} il charge les éléments dans l'ordre a_{11} , b_{11} , a_{12} , b_{21} .

On peut calculer les éléments de P dans l'ordre (a) p_{11} , p_{12} , p_{21} , p_{22} ou dans l'ordre (b) p_{11} , p_{21} , p_{12} , p_{22}

Le nombre de défauts de cache causé par (a) est-il inférieur, égal ou supérieur au nombre de défauts de cache causé par (b)?

3. Performance smartphone

3.1 Votre smartphone a un processeur à 2 GHz (un tic de l'horloge toutes les 0.5ns) et une mémoire Flash de latence minimum de 5us.

Combien faut-il de tics d'horloge pour lire un mot de la mémoire ? { un mot = 4 octets }

3.2 Votre smartphone dispose également d'une mémoire volatile (hors puce / off-chip) beaucoup plus rapide (temps d'accès de 100ns).

Combien faut-il de tics d'horloge pour lire un mot de la mémoire ?

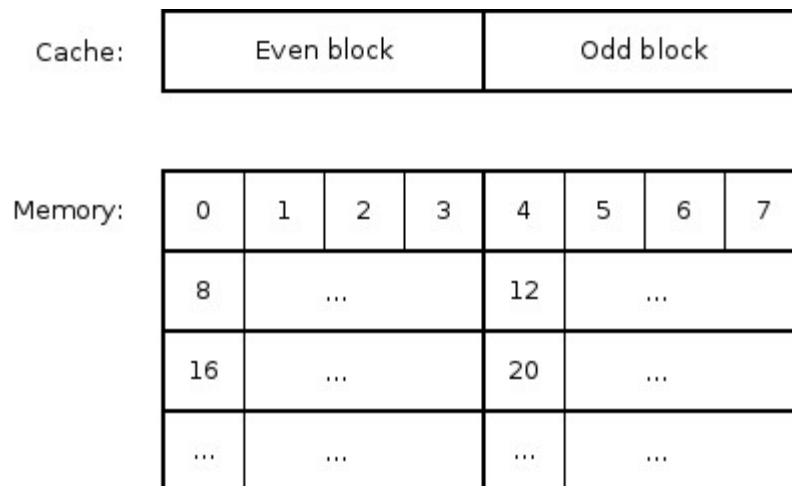
3.3 Vous avez un fichier avec un film de 8GB (par ex., Very Bad Trip 3). Combien de temps cela prendrait-il pour lire le fichier si l'on lisait un mot à la fois de la mémoire Flash ?

3.4 Votre processeur peut accéder la mémoire Flash avec une bande passante de 400 MB/s.

Combien de temps est nécessaire pour transférer le fichier ?

4. Nombre de défauts de cache

Vous avez une mémoire cache ayant une taille de 8 mots. La taille d'un bloc de mémoire cache est de 4 mots. La mémoire cache utilise un accès direct. Les blocs de mémoire ayant une adresse paire sont mis en correspondance avec le premier bloc dans la mémoire cache et les blocs de mémoire ayant adresse impaire sont mis en correspondance avec le second bloc dans la mémoire cache (voir Fig. suivante).



Par exemple, les blocs de mémoire contenant le mots 0–3 (adresse de bloc 0), 8–11 (adresse de bloc 2) et 16–19 (adresse de bloc 4) sont mis en correspondance avec le premier bloc dans la cache.

Les blocs de mémoire contenant le mots 4–7 (adresse de bloc 1), 12–15 (adresse de bloc 3) et 20–23 (adresse de bloc 5) sont mis en correspondance avec le second bloc dans la cache.

En supposant que la mémoire cache est vide au départ, combien de défauts de cache se produisent lorsque le processeur accède à la séquence d'adresses suivante : 1, 3, 8, 5, 20, 18, 19, 53, 9, 11, 4, 43, 5, 6, 9, 18 ?

5. Localité spatiale et temporelle

Supposons que vous vouliez calculer la somme de deux grands vecteurs dont la taille est beaucoup plus grande que la taille de la mémoire cache. Quel type de localité est la plus pertinente pour cette application?

Est-ce qu'il vaut mieux avoir des petits blocs de cache pour cette application ?

6. Bande passante (des mémoires)

Vous voudriez prendre un cours en ligne avec deux amis et vous avez besoin de télécharger les leçons vidéo sur un ordinateur. Mais vous avez un autre rendez-vous pour lequel vous devez partir dans 2 heures. La durée de la leçon est de 1 heure 45 minutes. Vous avez les ordinateurs suivants à disposition :

- L'ordinateur A a un disque dur qui peut transférer un mot 1 chaque 5 μ s.
- L'ordinateur B a un disque dur avec bande passante de 400 Mo/s.
- L'ordinateur C a un disque dur avec bande passante de 2 Mo/s.

On suppose ici que la bande passante de l'accès Internet est largement supérieure à celle de l'accès aux disques.

Quel(s) ordinateur(s) vous permettra/ permettront de télécharger la leçon, de la regarder et de partir à temps pour votre rendez-vous si

- a) la taille du fichier de la leçon est de 800 Mo ?
- b) la taille du fichier de la leçon est de 2 Go ?